

芯片描述

MS9281 是单芯片、单电源、10bit、80MSPS 模数转换器；内部集成了采样保持放大器和电源基准源。MS9281 使用多级差分流水线架构保证了 80MSPS 数据转换数率下全温度范围内无失码。

MS9281 的输入适合图像视频和通信系统应用；用户可以根据实际需要选择单端输入或者差分输入，也可根据需要选择输入范围和消除失调。

MS9281 内部集成的采样保持放大器，既适合复用系统又适合开关全波电压范围的连续信道，采样单信道输入频率可以超过奈奎斯特频率。交流耦合输入可以借助内部的钳位电路移位到一定的固定电平，动态性能非常完好。

MS9281 内部集成了可编程基准源。根据系统需要也可以选择外部高精度基准满足系统精度的要求。

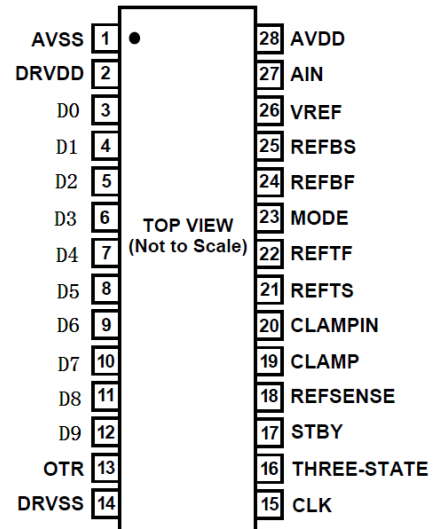
单时钟输入控制内部的转换周期；数字输出二进制的数字信息。超出量化范围检测位信息表征了输入信号超过了最小和最大量化范围的信息。

MS9281 可工作在 2.7V~5.5V 单电源范围，适合高速低功耗的应用范围。

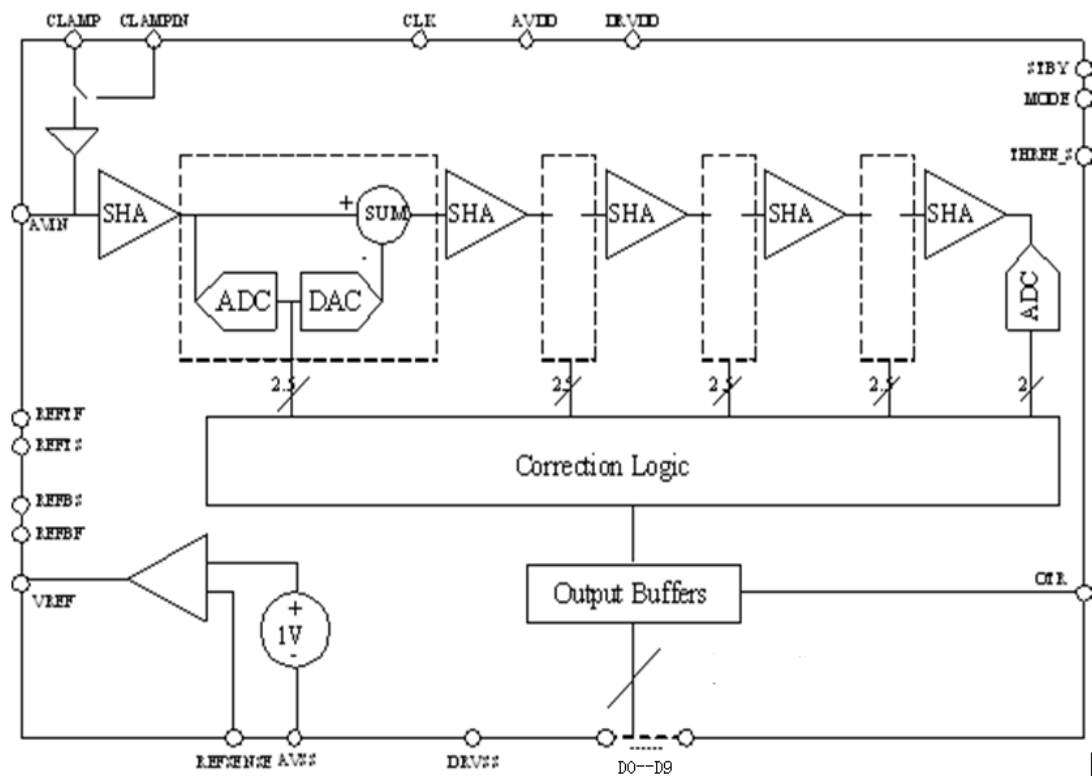
MS9281 适合工业温度范围（-40℃~+85℃）。

芯片特色

- ◇ 10 bit 80 MSPS 流水线 ADC
- ◇ 低功耗：250mV（5V 电源下）
- ◇ 宽工作范围：+2.7~+5.5V
- ◇ 高线性度：DNL：0.2LSB
- ◇ 低功耗模式控制
- ◇ 三态门输出
- ◇ 量化范围检测
- ◇ 内建钳位功能
- ◇ 高精度可编程基准电源
- ◇ 中频亚采样高达 135MHZ



结构框图



引脚说明

Num.	Name	描述
1	AVSS	模拟地
2	DRVDD	数字电源
3-12	D0-D9	数字输出位, D0 最低位, D9 最高位
13	OTR	超出量化范围检测位
14	DRVSS	数字地
15	CLK	时钟输入
16	THREE_STATE	三态控制, 高电位输出高阻态, 低电位正常工作
17	STBY	待机模式: 高电位待机模式, 低电位正常模式
18	REFSENSE	基准模式选择
19	CLAMP	钳位控制: 高电压钳位模式, 低电压非钳位模式
20	CLAMPIN	钳位电压设置
21	REFTS	高电压基准
22	REFTF	高电压基准去偶
23	MODE	模式选择
24	REFBF	低电压基准去偶
25	REFBS	低电压基准
26	VREF	内部基准电压
27	AIN	模拟输入
28	AVDD	模拟电源

主要技术指标规范

(测试条件(除特殊说明外): AVDD=+5V, DRVDD=+5V, Fs=32MHz(50%占空比), MODE=AVDD, 2V 输入范围 0.5V~2.5V, 外部基准)

参数	符号	Min	Typ	Max	单位	说明
分辨率		10			Bits	
转换频率		80			MHz	
微分非线性	DNL	±0.2	±1.0		LSB	
积分非线性	INL	±0.3	±1.5		LSB	
失调误差	E_{ZS}	±0.2	±1.8		%FSR	
增益误差	E_{FS}	±1.2	±3.9		%FSR	
REFTS		1	AVDD		V	
REFBS		GND	AVDD-1		V	
差分基准		2			V	
VREF (1V)		1			V	
基准冗差		10	25		mV	
VREF (2V)		2			V	
负载调 (1V)		0.5	2		mV	
输入电压范围		REFBS	REFTS		V	
输入电容		1			pF	
孔径延迟		4			ns	
孔径抖动		2			ps	
输入带宽		300			MHz	
DC 泄漏电流		43			uA	
模拟电压		2.7	5	5.5	V	
数字驱动电压		2.7	5	5.5	V	
电流		51.7	56.7		mA	
功耗		250	300		mW	
睡眠模式		4			mW	
增益误差电源抑制比		1			%FS	
信噪比	SNR	47.8	49		dB	
信噪谐波失真比	SINAD	46.5	49		dB	
有效位数	EOB	7.7	7.8		dB	
总谐波失真	THD	-62	-49.5		dB	
无杂散动态范围	SFDR	66	51.4		dB	
微分相位		0.2			Degree	NTSC40Mod Ramp
微分增益		0.08			%	
输入高电平		2.4			V	
输入低电平		0.3			V	

输出高阻态		-10	+10	uA	
数据有效延迟			25	ns	
数据使能延迟			25	ns	
数据高阻延迟			13	ns	
数字位输出高电平驱动 (I _o =50uA)		4.95		V	
数字位输出高电平驱动 (I _o =50uA)		4.8		V	
数字输出低电平 (I _o =1.6mA)			0.4	V	
数字输出低电平 (I _o =50uA)			0.05	V	
数字位输出高电平驱动 (I _o =50uA)		4.5		V	
数字位输出高电平驱动 (I _o =500uA)		4.4		V	
数字输出低电平 (I _o =1.6mA)			0.4	V	
数字输出低电平 (I _o =50uA)			0.1	V	
时钟高电平脉宽		10		ns	
时钟低电平脉宽		10		ns	
流水线延迟			3	Cycles	
钳位误差电压			50 80	mV	
钳位脉冲			2	us	

应用说明

工作原理

MS9281 利用多级流水线架构实现了低功耗高速数据转换；将整个的转换精度分成低精度的单阶子转换器，各阶转换的结果在时序控制下通过内部数字校准电路实现了高精度的数据转换。

工作模式

MS9281 适合多领域的图像视频、通信和仪表应用包括兼容 AD876-8 系列，可根据具体系统需要选择合适的工作模式进行性能优化。为实现系统的灵活性，内部开关可编程实现了不同的工作模式，内部的三个模块电压基准，电压缓冲、模拟输入可在不同开关模式下实现不同的选择，具体的实现形式和工作模式见表 1，及模式说明图例。

表 1. 模式选择

MODES	Input Connec t	Input Span	Mode Pin	REFSENSE Pin	REF	REFTS	REFBS
TOP/BOTTOM	AIN	1V	AVDD	Short REFSENSE, REFTS and VREF Together			AGND
	AIN	2V	AVDD	AGND	Short REFTS and VREF Together		AGND
CENTER SPAN	AIN	1V	AVDD/2	Short VREF and REFSENSE Together		AVDD/2	AVDD/2
	AIN	2V	AVDD/2	AGND	No Conne ct	AVDD/2	AVDD/2
Differential	AIN is Input 1 , REFTS and REFBS Are Shorte d Togeth er for Input 2	1V	AVDD/2	Short VREF and REFSENSE Together		AVDD/2	AVDD/2
		2V	AVDD/2	AGND	No Conne ct	AVDD/2	AVDD/2
External Ref	AIN	2V max	AVDD	AVDD	No Conne ct	Span=REFTS-REFBS	
			AGND			Short to VREFTF	Short to VREFBF
AD876-8	AIN	2V	Float or AVSS	AVDD	No Conne ct	Short to VREFTF	Short to VREFBF

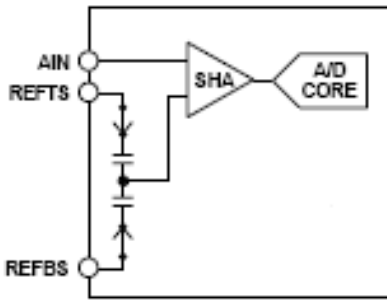


Figure 15. MS9281 等价输入功能电路

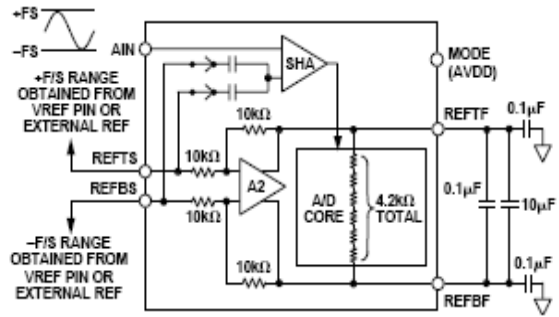


Figure 16a. 顶/底模式

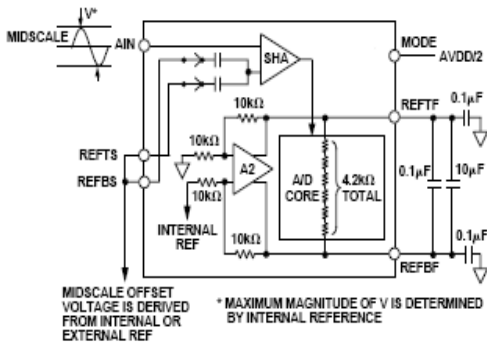


Figure 16b. 中间电压模式

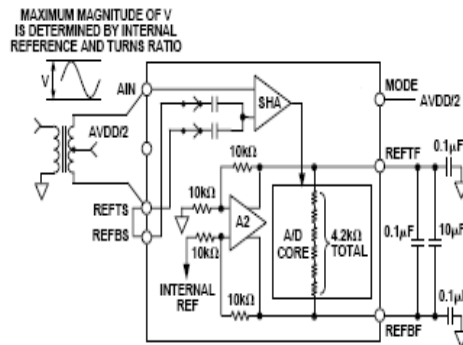


Figure 16c. 差分模式

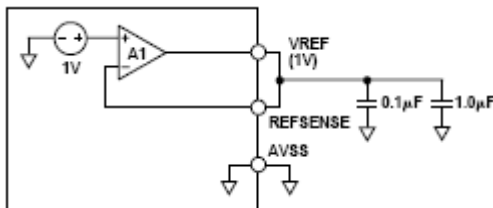


Figure 16d. 1V 基准模式

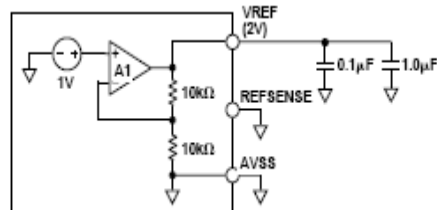


Figure 16e. 2V 基准模式

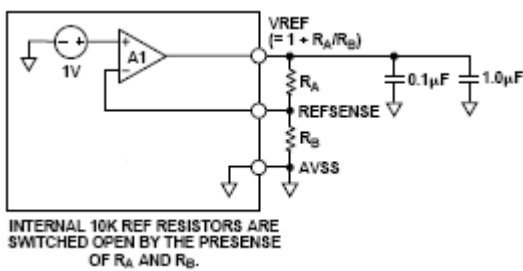


Figure 16f. 可变基准模式 (1V~2V)

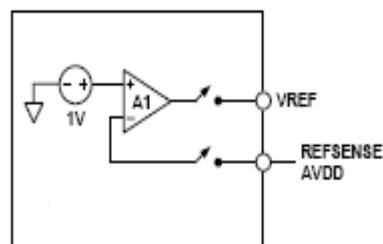


Figure 16g. 内部基准关闭模式

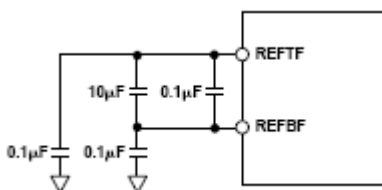


Figure 17. 基准去耦合网络

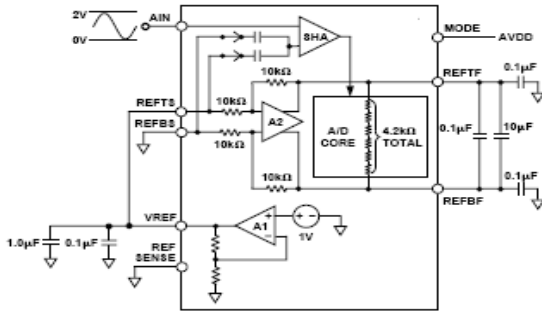


Figure 18. 内部基准、2V 输入范围 (顶/底模式)

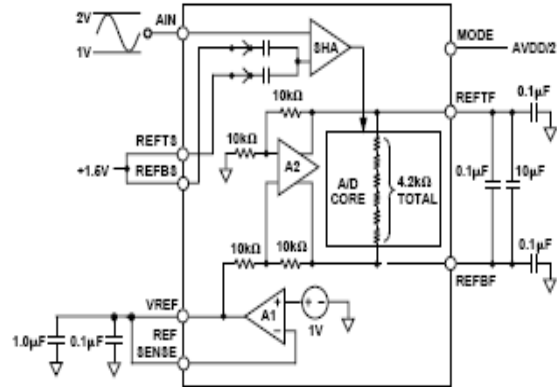


Figure 19. 内部基准、1V 输入范围 (顶/底模式)

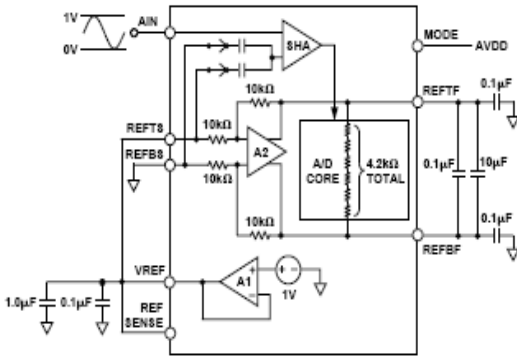


Figure 20. 内部基准、1V 输入范围 (中间电压模式)

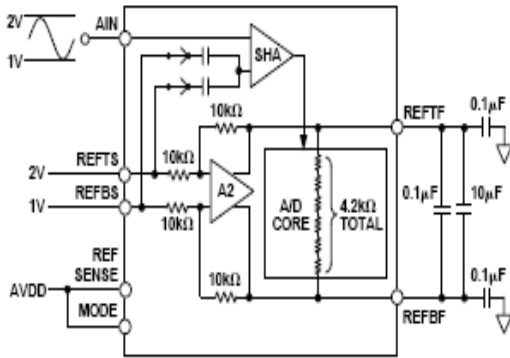


Figure 21. 外部基准、1V 输入范围 (顶/底电压模式)

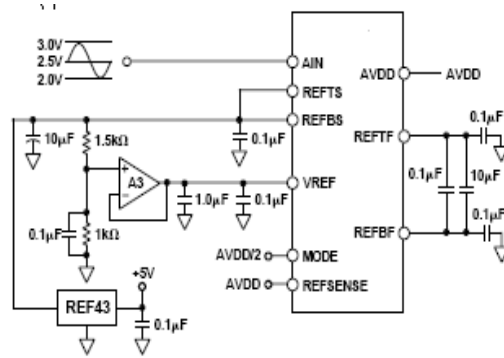


Figure 22. 外部基准、1V 输入范围 (中间电压模式)

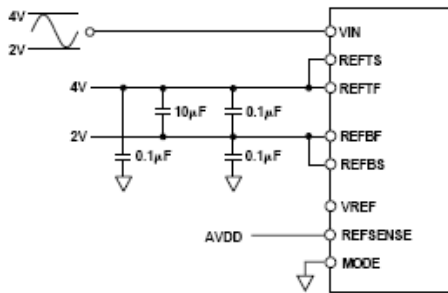


Figure 23a. 外部基准、2V 输入范围 (顶/底电压模式)

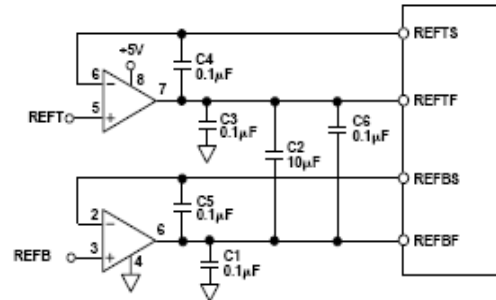


Figure 23b. Kelvin 连接外部基准模式

睡眠模式

MS9281 可以通过设置引脚 STBY 为逻辑高电平同时保持时钟在低电平进入睡眠模式。在这个模式下，典型的功耗约 4mW。芯片在 STBY 变成低电平后约 400ns 后进入正常模式。

钳位功能

MS9281 为实现交流耦合输入信号或视频信号直流恢复的功能内部集成了钳位功能电路。图 24 揭示了内部钳位电路和钳位工作需要的外部控制信号。为了保证钳位使能，应用逻辑高电平于引脚 CLAMP。这将关闭开关 SW1，内部的钳位放大器工作在缓冲器模式，引脚 CAMPLIN 的电压经过缓冲钳位 AIN 输入的直流电压。获得期望的钳位电压后，开关 SW1 由于引脚 CLAMP 变成逻辑低电平而打开。在忽略由于输入偏置电流引起的电压变化外，输入电容保持钳位的直流电压值直到下一个钳位间隔到来。为保证内部钳位放大器的闭环稳定性，输入电阻推荐最小值为 10 欧姆。

引脚 CLAMPIN 允许的电压范围由内部钳位放大器的工作限制，推荐值在 0.5V~2.5V 之间。

输入电容大小根据在钳位间隔内输入电压 AIN 允许的足够捕获时间和钳位间隔之间的最小电压降来确定。具体来说，开关关闭后的捕获时间由下式给出

$$T_{ACQ} = R_{IN} C_{IN} \ln \left(\frac{V_C}{V_E} \right)$$

式中 V_C 是输入电容两端的电压变化量， V_E 是误差电压。 V_C 是钳位间隔开始的初始输入直流电平和引脚 CLAMPIN 提供的输入钳位电压的差值电压。 V_E 是系统参数，等于 V_C 的最大允许偏差。例如一个 2V 的输入电平需要钳位在 1V 直流电平上，允许偏差在 10mV，则 $V_C=1V$ ， $V_E=10mV$ 。一旦在输入端获得合适的钳位电平，需要非常小的电压变化来保证直流电平偏差。

电压降根据下式计算 $dV = \frac{I_{BLAS}}{C_{IN}}(t)$ ，其中 t 是钳位间隔时间。MS9281 的偏置电流由采样

频率 F_s 、基准中间电压 (REFTS-REFBS) /2 和输入电压决定。

钳位间隔内的电压降是个重要参数，输入电容的最小值基于需要的电压降来计算得到。捕获时间—钳位脉冲宽度—根据选择的最小电容值来进行调整。实际系统中需要在捕获时间、钳位电压降和误差电压等指标间折衷考虑。

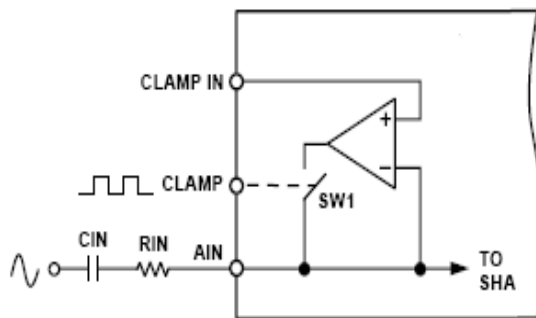


Figure 24a. 钳位原理图

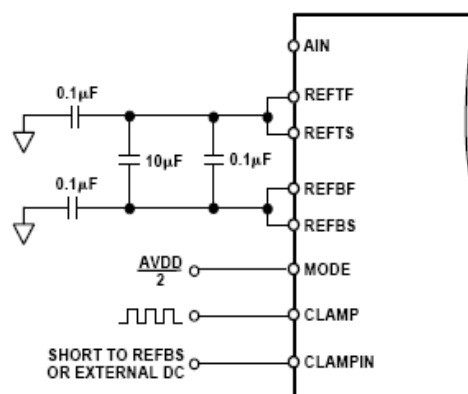


Figure 24b. 视频钳位电路原理示意图

模拟输入的驱动电路

图 25 说明了等价的模拟输入电路，MS9281 内部集成了采样保持放大器。在时钟低电平输入时，开关 1 和 2 闭合，开关 3 关闭，输入模拟信号对采样电容 CH 进行充电。当时钟由低电平转变成高电平时，开关 1 和 2 断开，采样保持电路进入保持模式，开关 3 关闭，运放的输出等于采样电容储存的电压。当时钟由高电平转变成低电平时，开关 3 首先断开，开关 1 和 2 然后闭合，采样保持放大器进入跟踪模式。

输入采样保持电路的结构对模拟信号输入驱动能力由一定的要求。引脚电容 CP 和保持电容 CH 一般小于 5Pf。输入信号源必须能够在半个时钟周期内把这些电容充电或放电到 10bit 精度所需要的电压值。当采样保持放大器进入跟踪模式时，输入信号源必须对保持电容 CH 充电或放电从上一周期储存的电压到一个新的电压。最坏情况下，输入信号源提供充电电流在半个时钟周期内，通过开关 1 导通电阻 Ron 是采样电容发生最大输入信号峰值的转变。这中情况等效于驱动一个低输入阻抗电路。另一个情况，当输入信号源电压等于前一时刻储存的电压时，保持电容不需要输入电流，等价于输入阻抗非常高。

在输入信号源和 AIN 引脚之间加入串连电阻可以减少信号源的驱动能力的要求；如图 26 所示。某些特殊应用的带宽限制了串连电阻的大小，为了保证系统的性能指标，电阻限制在 20 欧姆以内。对于信号带宽小于奈奎斯特频率的应用，用户可以适当增加电阻大小。另外加入一个对地的并联电容可以减小交流负载阻抗，电容的大小需要根据信号内阻和需要的信号带宽来选择。

MS9281 的信号输入范围是基准电压的函数。对于输入范围的选择，根据基准部分中内部基准和外部基准的不同编程来选择确定。

在许多应用中，尤其是单电源工作，交流耦合提供了一种方便的偏置模拟输入信号在合适的量化范围的方法。图 27 说明了交流耦合模拟输入信号的典型结构。这种结构的高通-3dB 角频率是非常重要的考虑参数。 $f_{-3dB} = 1/(2 * \pi * R2 * C_{EQ})$ ，其中 C_{EQ} 是 C1 和 C2 的并联。

在选择电阻值是需要特别的考虑，交流耦合电容在输入端集成了开关传输特性，导致了节点直流偏置电流流入输入。偏置电流的大小随着输入信号幅度偏离中间参考电压值的大小和采样频率的增加而增加。当输入信号等于基准中间值时，输入偏置电流最小，同时导致输入失调误差 $(R1 + R2) * I_B$ 。如果需要补偿这个误差，考虑减小 R2 或者调整 VBIAS 实现满足需要的失调要求。

系统应用种必须使用直流耦合，通过运放改变参考地的信号直流电平以实现输入信号在合适的量化范围内。图 28 给出了使用 AD8041 的同向模式的电路结构。

MS9281 可以采用差分输入的信号模式。这种结构需要通过短接 REFTS 和 REFBS 两个输入端作为一个差分输入端。图 29 给出了 1V P-P 信号的差分输入模式。

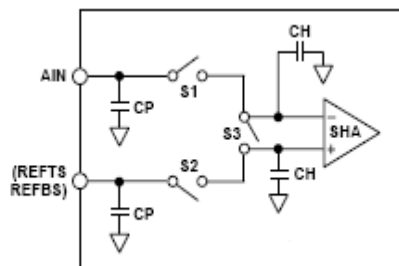


Figure 25. MS9281 等价输入结构

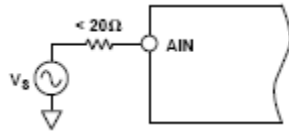


Figure 26. MS9281 简单驱动电路

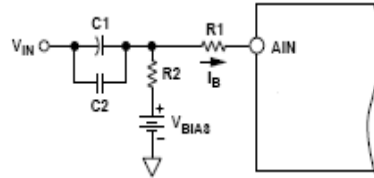


Figure 27. 交流耦合输入

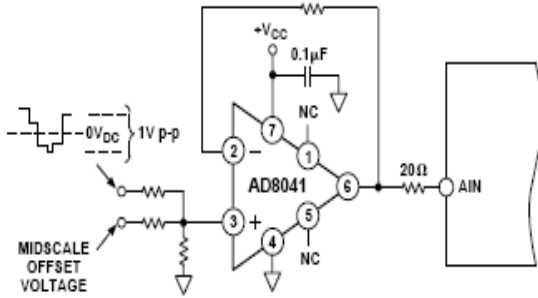


Figure 28. 双极电平移位结构

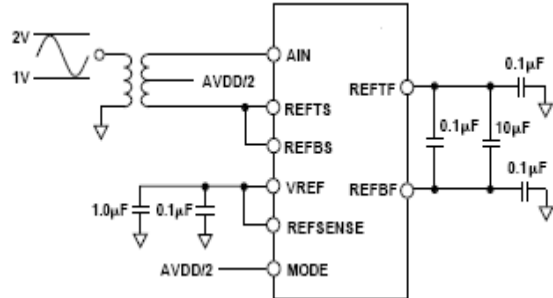


Figure 29. 差分输入结构

AD876-8 工作模式

MS9281 可以通过引脚配置替代 AD876-8 系列；从而降低原来使用 AD876-8 的系统的功耗。图 30 说明了 MS9281 替代 AD876-8 的引脚配置。通过 REFSENSE 接地, MODE 引脚悬空, CLAMP 引脚接地, 使用外部基准模式就可以替代原来的 AD876-8。

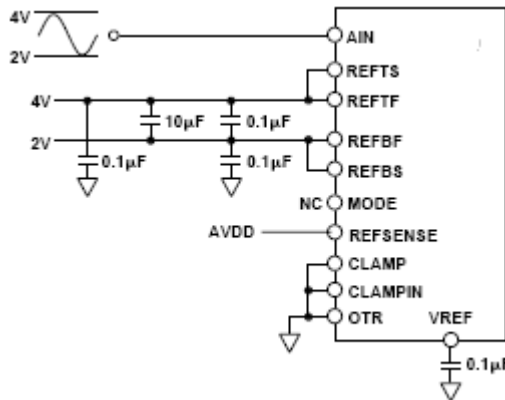


Figure 30. AD876 模式

时钟输入

MS9281 时钟输入通过内部的反向器缓冲器给电路提供时钟, 内部反向器通过 AVDD 引脚供电。这种结构保证了时钟满足了 +5V 或 +3.5V CMOS 逻辑输入信号, 输入阈值电压在 AVDD/2。

MS9281 的流水线结构既工作在时钟的上升沿又工作在下降沿。为了最小话占空比的偏差, 推荐采样高速或先进 CMOS 逻辑时钟 (HC/HCT, AC/ACT)。CMOS 逻辑提供了对称的电压阈值电平和足够的上升和下降时间满足 80 MSPS 的采样操作。MS9281 设计的最高时钟频率位 80MHz, 更高的时钟频率将要弱化系统的性能指标; 选择更低的时钟频率可以提高系统的性能指标。输出缓冲的功率消耗主要正比于时钟频率, 更低的时钟频率可以降低功耗。

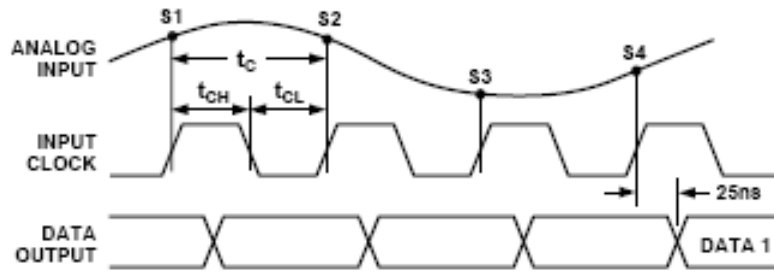


Figure 31. 时序关系图

数字输入和输出

MS9281 的每一个数字控制输入引脚，如 THREE_STATE、STBY 和时钟 CLK 等都是参考模拟地。数字输出的格式直接是二进制输出，如图 32 所示。当 STBY 为高电平时，时钟 CLK 无效时，电路进入低功耗模式，静态功耗下降到 5mW。

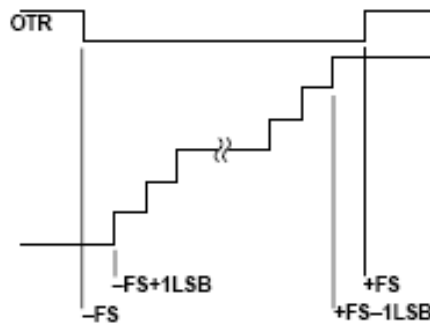


Figure 32. 输出数据格式

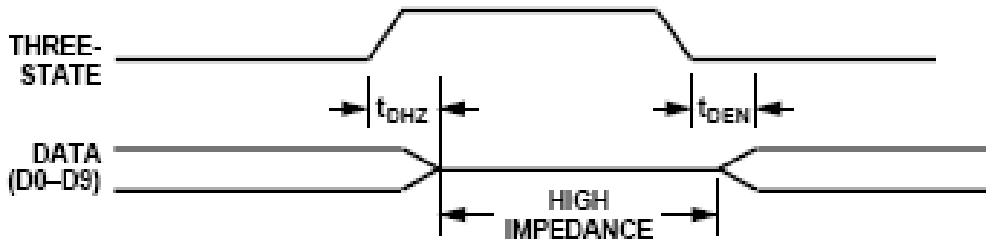


Figure 33. 三态时序图

系统应用图

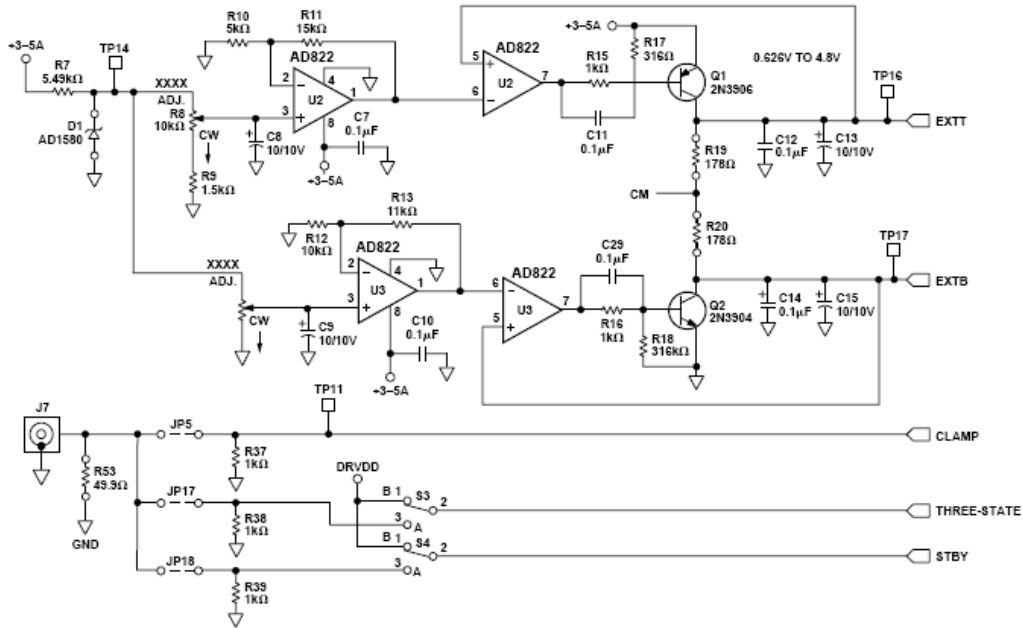


Figure 39a. 等价的系统原理图

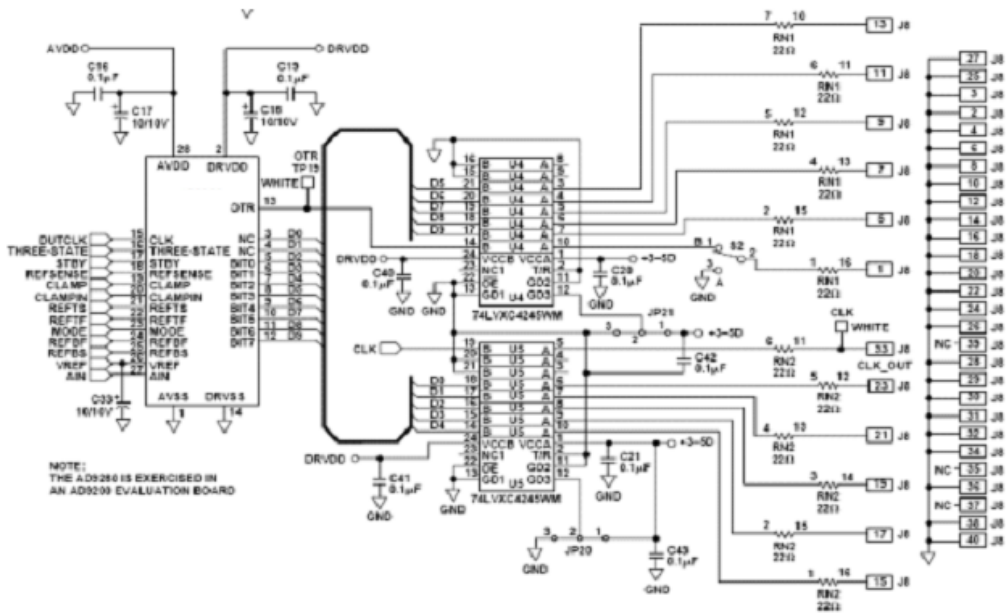


Figure 39b. 等价的系统原理图

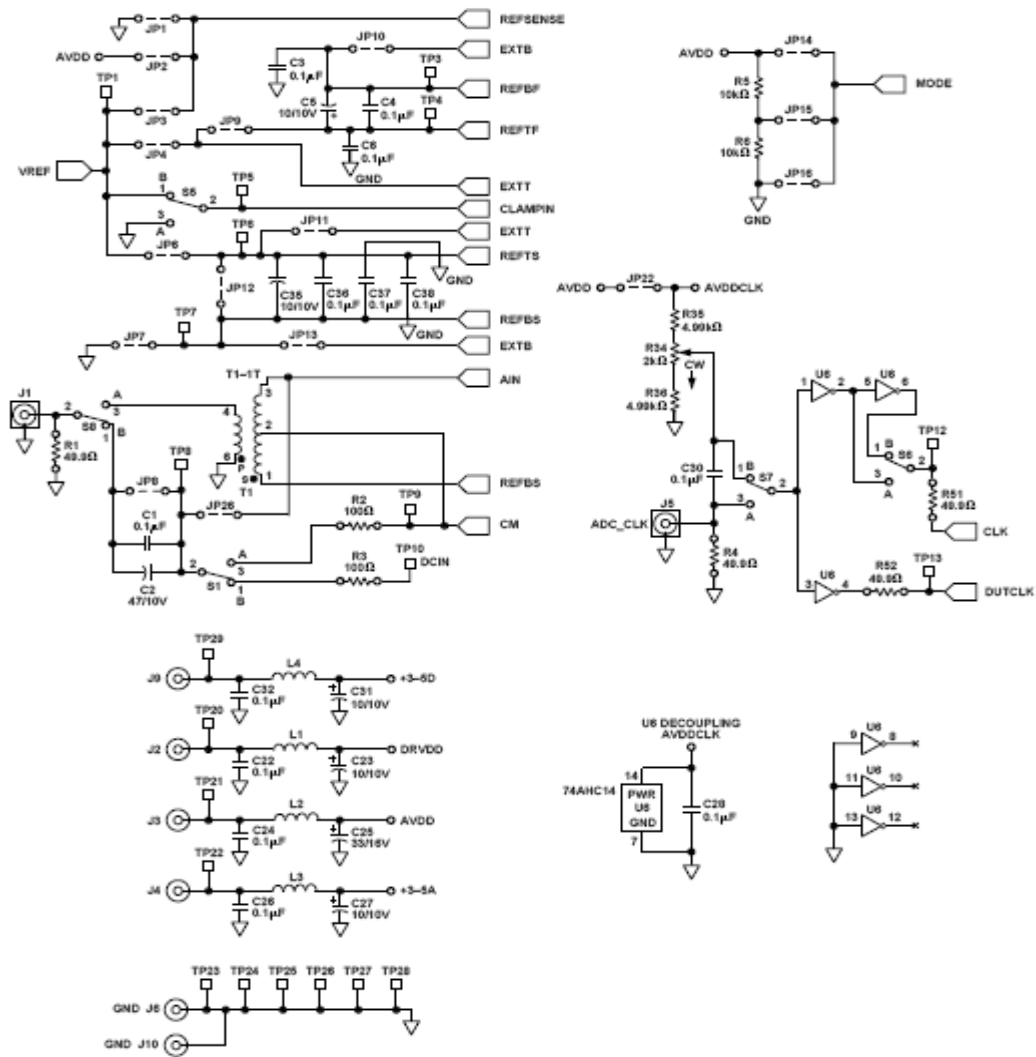


Figure 39c. 等价的系统原理图

封装外形尺寸

28-Lead Shrink Small Outline Package (SSOP)
(RS-28)

